



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09181728 A**(43) Date of publication of application: **11.07.97**

(51) Int. Cl. **H04L 12/28**
H04Q 3/00

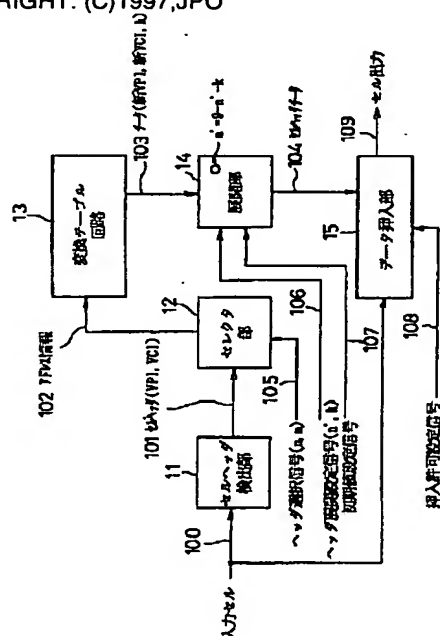
(21) Application number: **07334495**(71) Applicant: **OKI ELECTRIC IND CO LTD**(22) Date of filing: **22.12.95**(72) Inventor: **KARASAWA SATOSHI**(54) **ATM CELL HEADER CONVERSION CIRCUIT**

COPYRIGHT: (C)1997,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To conduct header conversion of an input ATM (asynchronous transfer mode) cell with a simple and common configuration to any header conversion.

SOLUTION: A selector section 12 receiving a cell header and a header selection setting signal generates and outputs address information and gives it to a conversion table circuit 13. The circuit 13 stores output data in advance corresponding to input address information in a table form and outputs corresponding data when receiving address information to an expansion section 14. The expansion section 14 receiving data, a header expansion setting signal and an initial value setting signal allocates the data from the circuit 13 to data of a cell header and federates the cell header data gives the data to a data insert section 15. The data insert section 15 receiving the cell header data, an input cell and an insert permission setting signal as a permission signal inserts the cell header data from the expansion section 14 newly to the header of the input cell and generated a new cell and outputs the resulting cell.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-181728

(43) 公開日 平成9年(1997)7月11日

(51) Int.Cl.⁹

H 0 4 L 12/28

H 0 4 Q 3/00

識別記号

庁内整理番号

9466-5K

F I

H 0 4 L 11/20

H 0 4 Q 3/00

技術表示箇所

D

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21) 出願番号

特願平7-334495

(22) 出願日

平成7年(1995)12月22日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 柄沢 智

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

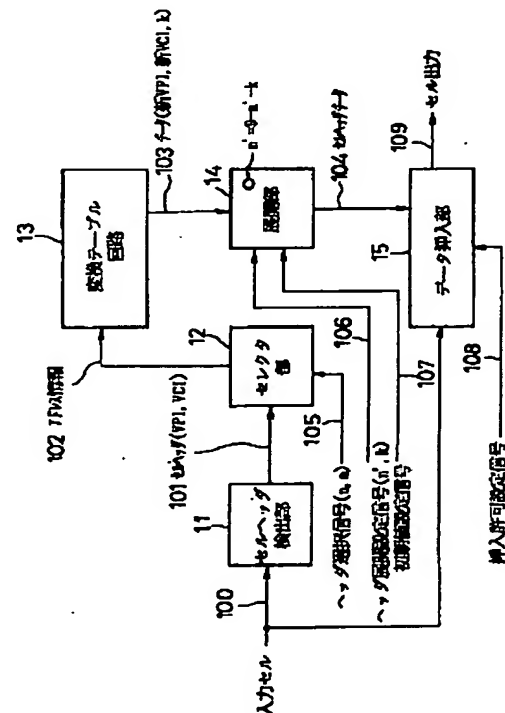
(74) 代理人 弁理士 工藤 宜幸

(54) 【発明の名称】 A T Mセルヘッダ変換回路

(57) 【要約】

【課題】 どのようなヘッダ変換にも共通化された構成で、入力A T Mセルのヘッダ変換を簡単な構成で行うこと。

【解決手段】 セレクタ部12は、セルヘッダとヘッダ選択設定信号とを与えられると、アドレス情報を生成出力して変換テーブル回路13に与える。回路13は、予め入力アドレス情報に対応した出力データをテーブル形式で記憶していて、アドレス情報を与えられると、対応するデータを出力して展開部14に与える。展開部14はデータと、ヘッダ展開設定信号と初期値設定信号とを与えられると、回路13からの上記データをセルヘッダのデータに割り当てて、セルヘッダデータを生成出力してデータ挿入部15に与える。データ挿入部15は、セルヘッダデータと入力セルと、挿入許可設定信号とが許可信号として与えられると、入力セルのヘッダに、新たに展開部14からのセルヘッダデータを挿入して新たなセルを形成して出力する。



【特許請求の範囲】

【請求項1】 入力ATMセルのセルヘッダデータを抽出するセルヘッダ抽出手段を備え、このセルヘッダデータを変換するATMセルヘッダ変換回路において、上記セルヘッダデータの部分データを選択する部分データ選択手段と、

この部分データをアドレスとして出力方路の部分データを予め記憶していて、上記セルヘッダデータの部分データが与えられると、対応する出力方路の部分データを出力する変換テーブル手段と、

上記出力方路の部分データと、この出力方路の部分データを所定の形式に展開するための展開用情報とから出力方路のセルヘッダデータを得るセルヘッダデータ展開手段と、

上記入力ATMセルのセルヘッダデータを、上記出力方路のセルヘッダデータに付け替えたATMセルを出力するATMセルヘッダ付け替え手段とを備えたことを特徴とするATMセルヘッダ変換回路。

【請求項2】 上記セルヘッダデータは、仮想バス識別子、仮想チャネル識別子、仮想バス識別子と仮想チャネル識別子、のいずれかの構成であることを特徴とする請求項1記載のATMセルヘッダ変換回路。

【請求項3】 上記展開では上記展開用情報の他に初期値情報も使用して上記展開を行うことを特徴とする請求項1又は2記載のATMセルヘッダ変換回路。

【請求項4】 上記セルヘッダデータの付け替えにおいて、挿入許可設定信号によって、上記出力方路のセルヘッダデータを、上記入力ATMセルの所定の位置に挿入設定することを特徴とする請求項1～3のいずれかに記載のATMセルヘッダ変換回路。

【請求項5】 上記変換テーブル手段は、上記出力方路の部分データと共に装置内ルート情報も対応して記憶していることを特徴とする請求項1～4のいずれかに記載のATMセルヘッダ変換回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ATM（非同期転送モード：Asynchronous Transfer Mode）セルヘッダ変換回路に関し、例えば、ATM網の伝送装置や交換装置などにおけるVPI（仮想バス識別子）、VCI（仮想チャネル識別子）などのヘッダ変換回路に適用し得るものである。

【0002】

【従来の技術】近年、ATM通信網を実現するための技術開発が盛んに行われている。ここで、ATM網の交換装置や伝送装置に関して説明する。これらの技術について、例えば、次のような文献で説明されている。

【0003】文献（1）：内山徹、平野美貴、『広帯域ノード技術』、1991年11月、電子情報通信学会誌、Vol. 74、No. 11、ページ1161～11

68。

文献（2）：三木哲也、『広帯域リンク技術』、1991年11月、電子情報通信学会誌、Vol. 74、No. 11、ページ1169～1176。

【0004】上記文献では、ノード装置（変換装置に対応する。）及びリンク装置（伝送装置に対応する。）におけるATMスイッチングの方法がそれぞれ説明されている。

【0005】ATM網を伝達する情報はATMセルと呼ばれる単位に区切られている。1つのATMセルは情報を格納するペイロードと、行き先アドレスを格納するヘッダから構成されている。ヘッダ内の行き先アドレスは12ビット（Network Node Interfaceの場合）、又は8ビット（User Node Interfaceの場合）のVPI（Virtual Path Identifierの略称：仮想バス識別子）と、16ビットのVCI（Virtual Channel Identifierの略称：仮想チャネル識別子）の2つがある。これらのアドレスは装置によって使い分けられている。

【0006】そこで、まず、上記文献（1）で示されているノード装置、即ち交換装置におけるスイッチングの方法を図2を用いて説明する。この図2において、ノード装置では、セルヘッダのVPIとVCIの両方を利用する。ノード装置は入力したセルに対してATMスイッチA1の手前のVPI/VCIヘッダ変換回路V1～Vnで、セルヘッダ内のVPIとVCIを参照する。ヘッダ変換テーブルからスイッチ内の振り分け情報（ルーティング情報と呼ぶ。）と出力インタフェース部のヘッダテーブル情報（装置内に閉じたVPIとVCIと思ってよい。）を読みだし、セルヘッダを付け替える。

【0007】ATMスイッチA1は、ルーティング情報に基づき出力方路を決定し、セルを出力する。出力インタフェース部である、VPI/VCIヘッダ変換回路U1～Unでは、付け替えられたヘッダテーブル情報を参照し、新たなVPIとVCIをヘッダ変換テーブルから読みだしてセルに付与する。こうして新たな行き先アドレスを持ったセルが別の伝送路上に出力されるのである。

【0008】次に、上記文献（2）で示されているリンク装置、即ち、伝送装置におけるスイッチングの方法を図3を用いて説明する。この図3において、リンク装置ではセルヘッダのVPIを利用する。リンク装置にはバーチャルバスVPを終端する装置（バスの端にありノード装置と接続される。）、クロスコネクト装置がある。ここではクロスコネクト装置を例として説明する。

【0009】クロスコネクト装置は、VPIヘッダ変換回路W1～Wnで入力されたセルのヘッダよりVPIを参照し、VPI変換テーブルによって、出力先の伝送路への振り分け情報（ルーティング情報）と振り分けられた

伝送路での新たなVPIを読み出す。そして、読み出された情報をセルに付与し、ATMスイッチA2から出力先へ振り分ける。ATMスイッチA2から出力されたセルは、そのまま伝送路へ出力され、ATM網内へ伝送されるのである。

【0010】

【発明が解決しようとする課題】しかしながら、以上説明したように、従来のATM網における交換装置と伝送装置とではATMセルをスイッチングする方法が異なるため、これらの装置に合わせて専用の回路を製造しなければならないという必要があった。このため、製造工数の増加を招いていた。

【0011】このため、どのようなセルヘッダ変換にも共通化された構成で、入力ATMセルのヘッダ変換を簡単な構成で行い得るATMセルヘッダ変換回路の提供が要請されている。

【0012】

【課題を解決するための手段】そこで、本発明は、入力ATMセルのセルヘッダデータを抽出するセルヘッダ抽出手段を備え、このセルヘッダデータを変換するATMセルヘッダ変換回路において、以下の特徴的な構成で上述の課題を解決するのである。

【0013】即ち、本発明のATMセルヘッダ変換回路は、上記セルヘッダデータの部分データを選択する部分データ選択手段と、この部分データをアドレスとして出力方路の部分データを予め記憶していて、上記セルヘッダデータの部分データが与えられると、対応する出力方路の部分データを出力する変換テーブル手段と、上記出力方路の部分データと、この出力方路の部分データを所定の形式に展開するための展開用情報とから出力方路のセルヘッダデータを得るセルヘッダデータ展開手段と、上記入力ATMセルのセルヘッダデータを、上記出力方路のセルヘッダデータに付け替えたATMセルを出力するATMセルヘッダ付け替え手段とを備えたものである。

【0014】このような構成を採ることで、変換テーブル手段の記憶容量を軽減化することができる。更に、新出力方路の所定の形式のヘッダデータに展開し、これを入力ATMセルのセルヘッダに付け替えることで、新出力方路のATMセルを簡単な構成で容易に生成することができる。

【0015】このため、どのようなヘッダ変換にも共通化された構成で、入力ATMセルのヘッダ変換を正確に簡単な構成で行うことができるのである。

【0016】

【発明の実施の形態】次に本発明の好適な実施の形態を図面を用いて説明する。

【0017】本発明の実施の形態のATMセルヘッダ変換回路では、セルヘッダを検出する手段と、検出したセルヘッダ選択設定に従ってデータをセレクトする手段

と、セレクトされたデータに対応した変換データを収容する手段と、この変換データをセルフフォーマットにあわせて展開する手段と、展開されたデータを入力セルに挿入する手段とを備えたATMセルヘッダ変換回路において、セレクトする手段にヘッダ選択設定を入力し、セレクトするデータを可変とし、展開する手段に対してヘッダ展開設定を入力し、変換データをセルフフォーマットにあわせる手段を可変とし、セルフフォーマットと変換を行うセルヘッダの範囲を自由に設定できるように構成する。

【0018】更に、本発明の実施の形態のATMセルヘッダ変換回路では、上述の実施の形態のATMセルヘッダ変換回路において、展開されたデータを入力セルに挿入する手段に対してデータ挿入許可設定を入力し、入力したセルのヘッダ変換をビット毎に変換するかどうかを自由に設定できるように構成するものである。

【0019】図1は、ATMセルヘッダ変換回路の機能構成図である。この図1において、ATMセルヘッダ変換回路は、セルヘッダ検出部11と、セクタ部12と、変換テーブル回路13と、展開部14と、データ挿入部15とから構成されている。

【0020】セルヘッダ検出部11は、入力セル100を与えられると、この入力セル100のペイロード部以外のヘッダ部を検出して、このセルヘッダ101だけをセクタ部12に与える。つまり、UNI、NNIの入力セルの長さを53バイトとすると、セルヘッダ部は5バイトで、ペイロード部は48バイトであるので、5バイトのセルヘッダ部をセクタ部12に与える。

【0021】セクタ部12は、セルヘッダ検出部11からセルヘッダ101を与えられ、更に、ヘッダ選択設定信号105を与えられると、アドレス情報102を生成出力して変換テーブル回路13に与える。このアドレス情報とは、具体的には、NNIのATMセルの場合は、VPI12ビットと、VCI16ビットとである。また、UNIのATMセルの場合は、VPI8ビットと、VCI16ビットとである。また、ヘッダ選択設定信号105の値によっては、VPIビットとVCIビットとを合わせて、例えば、トータル10ビットを選択することも好ましい。

【0022】つまり、ヘッダ選択設定信号105は、図4に示すように、VPIが最大12ビット、VCIが最大16ビットとした場合に、これらの最大ビット数を指定するのではなく、変換テーブルのメモリ容量を小さくしハードウェア規模を小形化するために、VPIの部分ビット数(n ビット ≤ 12 ビット)を選択設定するための n ビット情報と、VCIの部分ビット数(m ビット ≤ 16 ビット)を選択するための m ビット情報とがヘッダ選択設定信号105としてセクタ部12に与えられるのである。

【0023】このVPIに対する n ビット情報と、VC

Iに対するmビット情報とがセクタ部12に与えられると、セクタ部12は、図4に示すようにVPI12ビットの内の、例えば、最下位ビットLSBからnビットを選択し、更に、VCI16ビットの内の、例えば、最下位ビットLSBからのmビットを選択して、これらのn+mビットのVPI+VCIビットデータをアドレス情報102として変換テーブル13に与えるものである。

【0024】変換テーブル回路13は、予め入力アドレス情報に対応した出力データをテーブル形式で記憶していて、セクタ部12からアドレス情報102を与えられると、対応する出力データ103を出力して展開部14に与えるのである。

【0025】即ち、図5は、この変換テーブル回路13の記憶内容を示す図である。この図5において、この変換テーブル回路13はメモリ回路のメモリ空間に形成し、アドレスにはセクタ部12からのVPI nビット+VCI mビットデータを与え、変換後のデータをアドレスに対応したメモリデータに予め記憶しているものである。このデータは、出力方路に対応する新VPIのn'ビットデータと、新VCIのm'ビットデータと、本ATMセルヘッダ変換回路が使用される例えば、伝送装置、交換装置内のセルルートに指定するためのルート情報kなどである。これらの情報 $n' + m' + k = A$ (Aは、例えば9ビット程度)として予め記憶しておくものである。

【0026】これらの情報 $n' + m' + k$ のデータ103は、セクタ部12からのアドレス情報102によって読み出されて展開部14に与えられる。

【0027】展開部14は、変換テーブル回路13から上記 $n' + m' + k$ のデータ103を与えられると共に、ヘッダ展開設定信号106及び初期値設定信号107とを与えられると、変換テーブル13からの上記 $n' + m' + k$ のデータをセルヘッダのデータに割り当てて、セルヘッダデータ104を生成出力してデータ挿入部15に与える。尚、変換テーブル回路13からのデータ103をセルヘッダのデータに割り当てるデータが存在しない場合は、初期値設定信号107のデータを割り当てるものである。

【0028】即ち、上記ヘッダ展開設定信号106としては、例えば、上記新VPIに対するn'ビット情報と、ルート情報のkビット情報とが展開部14に与えられ、初期値設定信号107としては、新VPI用の初期値12ビットデータ(全ビット0又は1のデータ)を設定し、新VCI用の初期値16ビットデータ(全ビット0又は1のデータ)を設定して展開部14に与えられる。尚、上記ヘッダ展開設定信号106として、新VPI用のn'ビット情報と、ルート情報のkビット情報とだけが展開部14に与えられるが、新VCI用のm'ビット情報は、 $A - n' - k$ からm'を展開部14で求め

て展開に使用するものである。

【0029】つまり、図6に示すように、新VPI用初期値12ビット(a)と、新VCI用初期値16ビット(d)とが展開部14に与えられ、変換テーブル回路13からも新VPIのn'ビットデータ(b)と、新VCIのm'ビットデータ(e)と、ルート情報kビットデータ(g)とを与えられると、新VPI用初期値(a)に対して、新VPI n'ビット(b)を上書きするような方法で展開設定して新VPI12ビットを得て、図6(c)のようなデータを形成する。

【0030】更に、新VCI用初期値(d)に対して、新VCI m'ビット(e)を上書きするような方法で展開設定して新VCI16ビットを得て、図6(f)のようなデータを形成する。

【0031】これらの新VPIデータ、新VCIデータ、ルート情報とをセルヘッダデータ104としてデータ挿入部15に与える。

【0032】データ挿入部15は、展開部14からのセルヘッダデータ104と入力セル100とを与えられ、しかも挿入許可設定信号108が許可信号として与えられると、入力セル100のヘッダに、新たに展開部14からのセルヘッダデータ104を挿入して新たなセル109を形成して出力するのである。

【0033】即ち、図6に示すように、新VPIデータ、新VCIデータ、ルート情報などのセルヘッダデータ104をデータ挿入部15に与えて、入力セル100のセルヘッダの所定の位置に上書きして挿入設定して、セルヘッダデータを付け替えるのである。尚、ルート情報kは、セルヘッダの先頭に追加することで、装置内のルーチング処理を使用され、装置外の伝送路に出力される時点で取り外すものである。

【0034】また、上述のような新VPIデータ、新VCIデータ、ルート情報などのセルヘッダデータ104をセルの所定の位置に設定するために、上記挿入許可設定信号が必要になるのである。この挿入許可設定信号によって定められたセルヘッダの決められた位置に正確に設定されるのである。

【0035】(動作)：次に図1のATMセルヘッダ変換回路の動作を説明する。まず、入力セル100は、セルヘッダ検出部11に与えられると、ペイロード部以外のVPI、VCIなどのセルヘッダ101が検出されて、セクタ部12に与えられる。これらのVPI、VCIはセクタ部12でヘッダ変換を行う際の情報源として利用される。

【0036】セルヘッダ101は、ヘッダ選択設定信号(n、mビット情報)105がセクタ部12に与えられると、このヘッダ選択設定信号105に基づいて、例えば、VPIとVCIを合わせた16ビット又は、VPIとVCIとを合わせた中から例えば、10ビットを選択することも好ましい。これらのいずれかの選択方法に

よって選択されたVPI、VCI情報、即ち、アドレス情報102が変換テーブル回路13に与えられる。

【0037】このアドレス情報102が、変換テーブル回路13に与えられると、予め設定されているテーブルの対応関係に従って入力アドレス102に対応する新VPI、新VCI、ルート情報などのデータ103が出力されて展開部14に与えられる。これらのデータ103は、入力される上述の新VPIに対するnビット情報と、ルート情報のkビット情報とのヘッダ展開設定信号106と、新VPI用の初期値設定信号12ビットデータと、新VCI用の初期値設定信号16ビットデータによってセルヘッダのデータに割り当てられて、セルヘッダデータ104が生成されてデータ挿入部15に与えられる。

【0038】また、このヘッダ展開設定信号106によって展開部14がデータ103をセルヘッダのデータに割り当てられない場合は、初期値設定信号107を代わりにセルヘッダ104として出力させる。このセルヘッダデータ104は、挿入許可設定信号108が許可としてデータ挿入部109に与えられると、入力セル100のヘッダ部分に所定の位置に付け替え挿入されて、ヘッダ変換されたATMセル109が出力されるのである。

【0039】(本発明の実施の形態の効果)： 以上の本発明の実施の形態のATMセルヘッダ変換回路によれば、入力セル100のヘッダ部の検出を行った後、先ず変換テーブル回路13のメモリ容量を低減するためにセルヘッダ101のデータに対して、ヘッダ選択設定信号105によってn、mビットで選択し、このn、mビットのアドレス情報102に対する新方路情報のデータ103を出力させ、このデータ103に対してヘッダ展開設定信号106と、初期値設定信号107とによって上記データ103を元のビット長のVPI、VCIとにして、ルート情報kと共にセルヘッダデータ104としてデータ挿入部15に与え、挿入許可設定信号によって上記セルヘッダデータ104を入力セルのヘッダの所定の位置に正確に挿入設定することができるので、これらの設定信号を必要に応じて設定変更することで、どのようなヘッダ変換にも容易に対応することができるという効果がある。

【0040】また、VPIだけの変換、又はVCIだけの変換にも適用できるという効果がある。従って、上述の図1のATMセルヘッダ変換回路は、上述の図2の交換装置のVPI/VCIヘッダ変換回路に適用することもできるし、また、図3の伝送装置のVPIヘッダ変換回路に適用することも共通的に行うことができるようになるのである。

【0041】(他の実施の形態)： (1) また、データ挿入部15で、挿入許可設定信号108の与え方によって、セルヘッダデータ104の入力セルへの挿入設定を1ビットのずつ可能にすることで、入力セルデータ

の一部、又は全てをそのまま出力するようなことも精度良く、自由に行うことができるのである。

【0042】(2) また、上述の実施の形態のATMセルヘッダ変換回路は、図7のような構成によって、図1のATMセルヘッダ変換回路を交換装置又は伝送装置に適用する場合の一例の構成を実現することができる。つまり、ATMセルヘッダ変換回路1は、基板K1にLSI1として搭載される。

【0043】このLSI1には、ATMセルヘッダ変換回路1の他に、この回路1に上述のヘッダ選択設定信号105、ヘッダ展開設定信号106、初期値設定信号107、挿入許可設定信号108などを与えるためのレジスタ回路R1と、インタフェース回路INFとも備えられているのである。このインタフェース回路INFは、マイクロプロセッサ回路MPからのアドレスバスとデータバスとによって必要な信号が与えられる。

【0044】これらの回路がヘッダ変換などを行う基板K1に搭載される。この基板K1のマイクロプロセッサ回路MPは、伝送装置又は交換装置内部のCPUによって制御されるのである。このような構成によって、上述の図1のATMセルヘッダ変換回路を伝送装置、交換装置などを具体的に実現することができるのである。

【0045】(3) 更に、上述の実施の形態ではVPI、VCIを変更する例を示したが、セルフフォーマットが異なる場合でもセルヘッダ検出部の検出範囲を変更し、展開部、データ挿入部での処理を新たなセルフフォーマットに変更するだけで適用可能である。

【0046】(4) 更に、上述の実施の形態のATMセルヘッダ変換回路を図3の構成の伝送装置に適用する場合に、VPIヘッダ変換回路に適用するとセルヘッダにルート情報kが付加されるので、ATMスイッチから伝送路へ伝送出力するまえにこのルート情報kを取り外すようにフォーマット変換回路を備えることも好ましい。

【0047】(5) 更にまた、伝送装置、交換装置への適用の他、回線対応部にも適用することができる。また、UNI、NNIでのセルのヘッダ変換の他、OAM(制御管理用：Operation, Administration and Maintenance)セルのヘッダ変換にも適用することができる。

【0048】

【発明の効果】 上述したように本発明は、入力ATMセルのセルヘッダデータを抽出するセルヘッダ抽出手段を備え、このセルヘッダデータを変換するATMセルヘッダ変換回路において、上記セルヘッダデータの部分データを選択する部分データ選択手段と、この部分データをアドレスとして出力方路の部分データを予め記憶していて、上記セルヘッダデータの部分データが与えられると、対応する出力方路の部分データを出力する変換テーブル手段と、上記出力方路の部分データと、この出力方路の部分データを所定の形式に展開するための展開用情

報とから出力方路のセルヘッダデータを得るセルヘッダデータ展開手段と、入力ATMセルのセルヘッダデータを、上記出力方路のセルヘッダデータに付け替えたATMセルを出力するATMセルヘッダ付け替え手段とを備えたことで、どのようなセルヘッダ変換にも共通化された構成で、入力ATMセルのヘッダ変換を簡単な構成で行うATMセルヘッダ変換回路を実現することができるのである。

【図面の簡単な説明】

【図1】本発明の実施の形態のATMセルヘッダ変換回路の機能構成図である。

【図2】従来例の交換装置の機能構成図である。

【図3】従来例の伝送装置の機能構成図である。

【図4】実施の形態のVPI、VCIに対するヘッダ選

択設定の説明図である。

【図5】実施の形態の変換テーブルの説明図である。

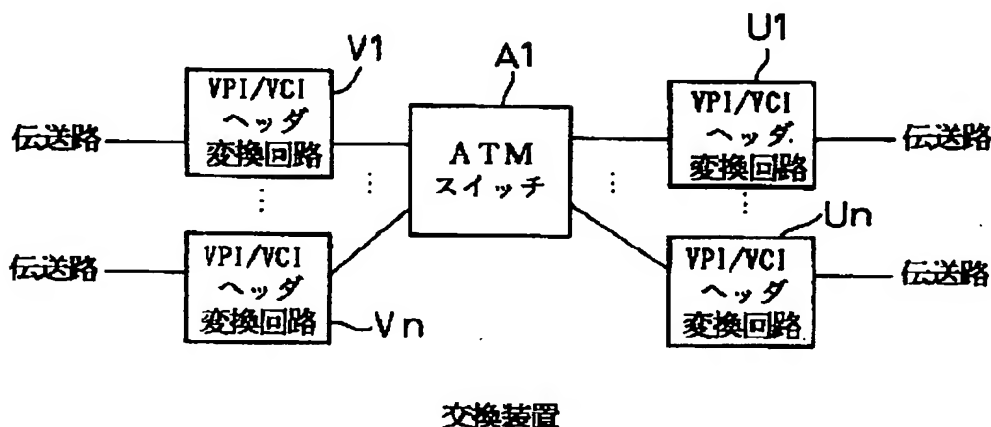
【図6】実施の形態の展開部とデータ挿入部との説明図である。

【図7】他の実施の形態のATMセルヘッダ変換回路の伝送装置又は交換装置への適用の説明図である。

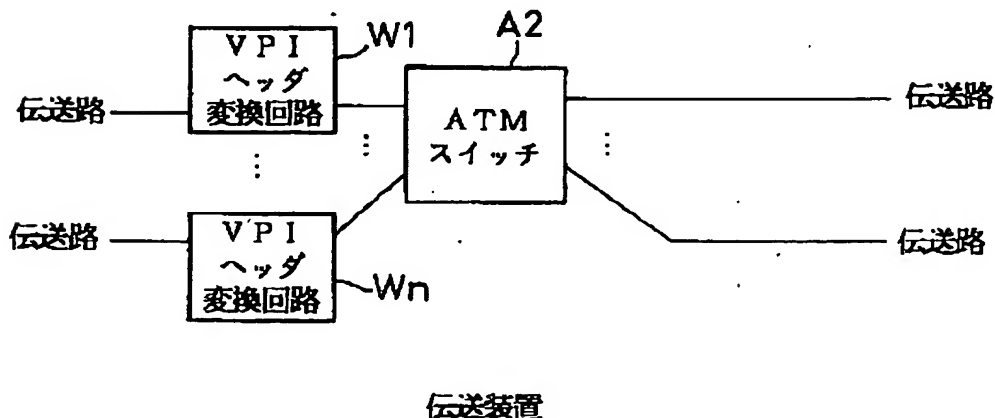
【符号の説明】

11…セルヘッダ検出部、12…セクタ部、13…変換テーブル回路、14…展開部、15…データ挿入部、100…入力セル、101…セルヘッダ、102…アドレス情報、103…データ、104…セルヘッダデータ、105…ヘッダ選択設定信号、106…ヘッダ展開設定信号、107…初期値設定信号、108…挿入許可設定信号、109…出力セル。

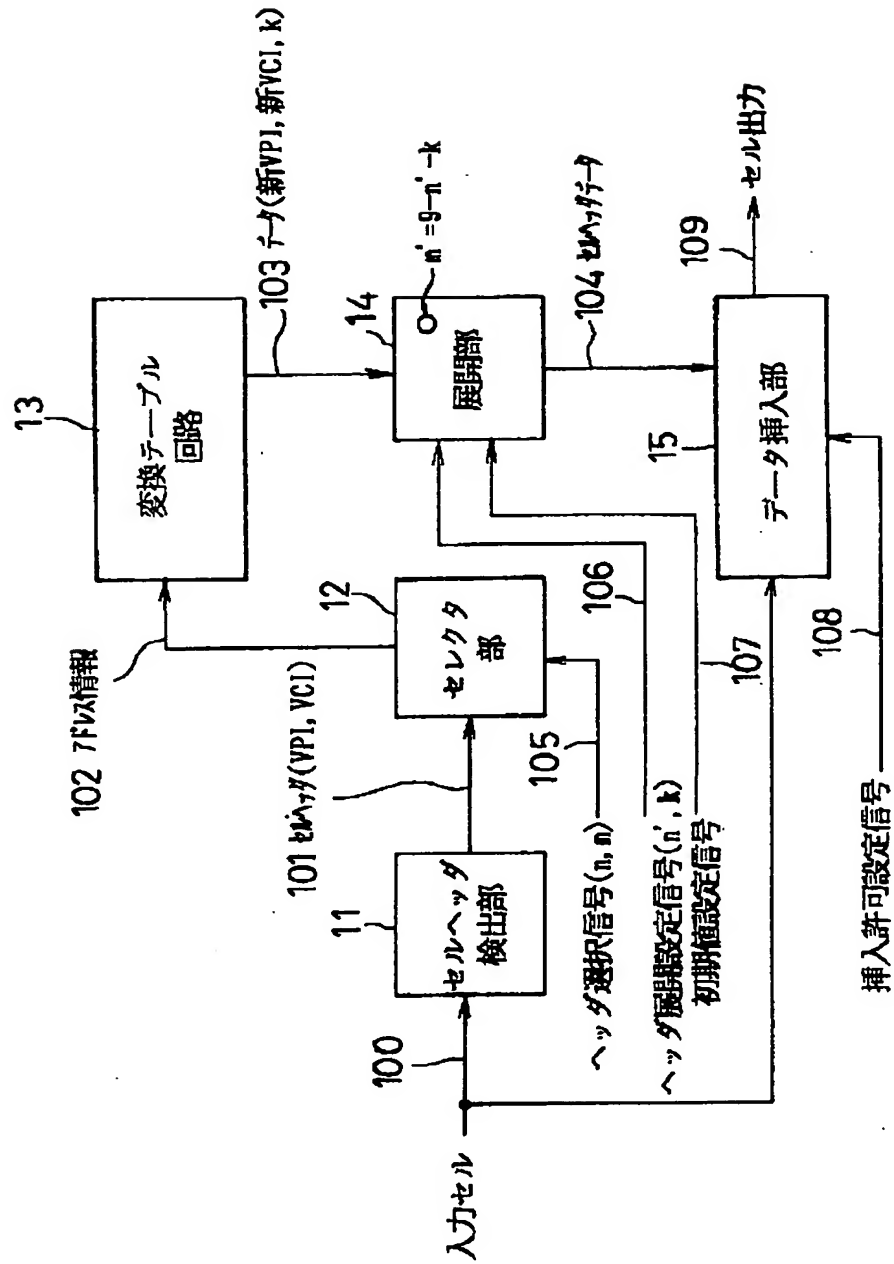
【図2】



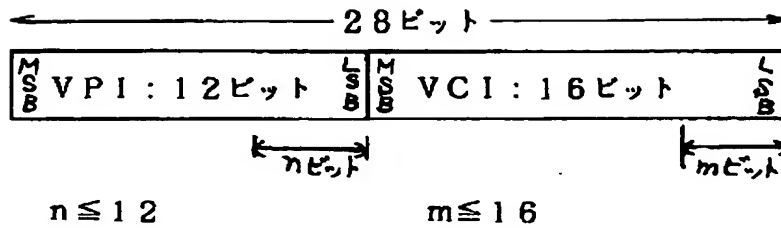
【図3】



【図1】



【図4】



【図5】

変換テーブル

アドレス	メモリデータ
...	...
$n + m$ ビット	<div> <div>新VPI n'ビット</div> <div>新VCI m'ビット</div> <div>ルート 情報 kビット</div> </div>

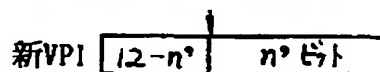
$n' + m' + k = A$ (A: 定数)
例: A=9

【図6】

(a) 新VPI初期値 12ビット VPI

(b) 新VPI n' ビット

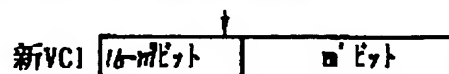
(c) 初期値に新VPIを上書きし、展開



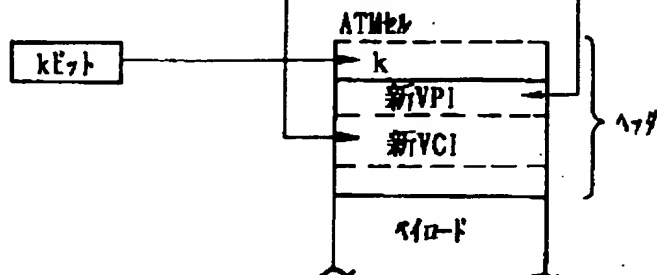
(d) 新VCI初期値 16ビット VCI

(e) 新VCI m' ビット

(f) 初期値に新VCIを上書きし展開



(g) ルート情報kビット



【図7】

